

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-64436

(43) 公開日 平成11年(1999) 3月5日

(51) Int.Cl.⁶

G 0 1 R 31/26
31/28

識別記号

F I

G 0 1 R 31/26
31/28

G
H

審査請求 未請求 請求項の数4 O L (全 6 頁)

(21) 出願番号 特願平9-224558

(22) 出願日 平成9年(1997) 8月21日

(71) 出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72) 発明者 淡路 利明

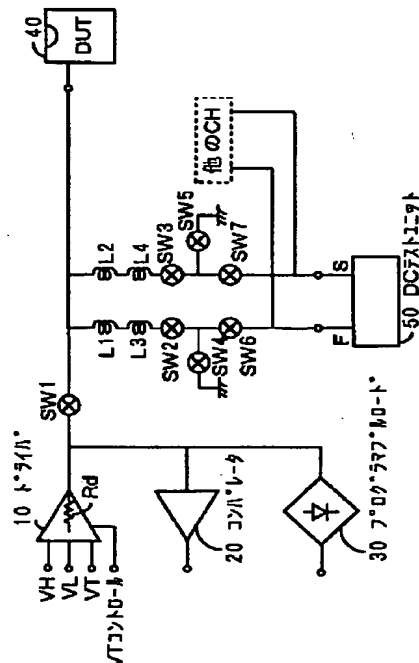
東京都練馬区旭町1丁目32番1号 株式会
社アドバンテスト内

(54) 【発明の名称】 半導体試験装置

(57) 【要約】

【課題】 本発明は、ピンエレクトロニクスの信号切り換えを半導体スイッチでおこなう信頼性の高い半導体試験装置を提供する。

【解決手段】 ドライバと被試験デバイス間をON/OFFする第1の半導体スイッチと、DCテストユニットと被試験デバイス間をON/OFFする第2と第3の半導体スイッチと、DCテストユニットからの低周波ノイズを接地して防止する第4と第5の半導体スイッチと、前記第2と第3の半導体スイッチの容量負荷の影響を防止するコイルとを具備した解決手段。



【特許請求の範囲】

【請求項1】 ビンエレクトロニクスにおける信号切り換えを半導体スイッチでおこなう半導体試験装置。

【請求項2】 ドライバと被試験デバイス間をON/OFFする第1の半導体スイッチと、
DCテストユニットと被試験デバイス間をON/OFFする第2と第3の半導体スイッチと、
DCテストユニットからの低周波ノイズを接地して防止する第4と第5の半導体スイッチと、
前記第2と第3の半導体スイッチの容量負荷の影響を防止するコイルと、
を具備したことを特徴とした半導体試験装置。

【請求項3】 DCテストユニットの容量負荷の影響を防止するコイルは、立ち上がりを改善する第1と第2のコイルと、波形歪みを改善する第3と第4のコイルである請求項2記載の半導体試験装置。

【請求項4】 DCテストユニットが複数のチャンネルに接続される場合に、試験しないチャンネルの被試験デバイス間をON/OFFする第6と第7の半導体スイッチを設けた請求項2又は3記載の半導体試験装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ビンエレクトロニクスにおける信号切り換えを半導体スイッチでおこなう半導体試験装置に関する。

【0002】

【従来の技術】従来技術の例について、図6と図7とを参照して説明する。最初に、半導体試験装置の概要について説明する。図7に示すように、半導体試験装置の一例は、オペレータとのインタフェースとなるワークステーション1と、試験信号の発生と試験をおこなう各ユニットおよび装置の電源部とで構成する半導体試験装置本体2と、テストヘッド3とで構成される。

【0003】そして、テストヘッド3において、被試験デバイスのDUT40とのインタフェースとなるビンエレクトロニクスを内蔵している。ここにビンエレクトロニクスとは、テストヘッドの部分にある回路で、被試験デバイスのピンへ信号を印加したり、被試験デバイスのピンから信号を受ける電子回路ブロックである。

【0004】次に、ビンエレクトロニクスの動作について説明する。図6に示すように、従来のビンエレクトロニクスの1チャンネルの要部回路は、ドライバ10と、コンパレータ20と、プログラマブルロード30と、スイッチSW8、SW9とで構成されている。そして、ビンエレクトロニクスと、DCテストユニット50とにより、被試験デバイスのDUT40を試験している。

【0005】スイッチSW8とSW9とは、DCテストユニット50によりDCテストをする場合、SW8はOFFし、SW9はONとなる。ここにDCテストとは、DCパラメトリックテストともいい、電圧印加電流測

定、電流印加電圧測定や電源電流等の直流特性を評価する試験である。そして、半導体試験装置の本体に装架されたDCテストユニット50からの印加電圧(F:フォース)は、ビンエレクトロニクスにおいて印加電圧を検出(S:センス)して、DCテストユニット50へフィードバックすることにより線路の電圧降下を解消している。

【0006】一方、ファンクションテストの場合、SW8はONし、SW9はOFFとなる。ここにファンクションテストとは、試験パターンをドライバ10を介してDUT40に入力して、その出力特性および時間軸特性をコンパレータ20により比較して評価する試験である。

【0007】また、ドライバ10は、ハイ(High)レベルを出力するときはV_Hが接続され、ロウ(Low)レベルを出力するときはV_Lが接続され、スレッショルド電圧の負荷とするときはV_Tが接続される。そしてまた、ドライバ10は、出力インピーダンスをハイインピーダンスとすることができる。

【0008】さらに、プログラマブルロード30は、DUT40のプログラム可能な定電流負荷である。

【0009】ところで、スイッチSW8とSW9とは、ON抵抗が小さく例えば10mΩ、接点容量が小さい例えば1pF、などの特性があるためメカニカルリレーを使用している。

【0010】また、ビンエレクトロニクスの回路図は、説明を簡明とするために1チャンネルの例で説明したが、被試験デバイスのピン数に対応する数百チャンネルのビンエレクトロニクスをテストヘッドに内蔵している。

【0011】

【発明が解決しようとする課題】上記説明のように、ビンエレクトロニクスにおいて、スイッチSW8とSW9とは、従来メカニカルリレーを使用していた。そのため、接点障害が起きやすく、寿命が短く、信頼性が低い等の問題があった。また、チャンネル数が多くなるとスペースが大きくなる実用上の不便があった。そこで、本発明は、こうした問題に鑑みなされたもので、その目的は、ビンエレクトロニクスの信号切り換えを半導体スイッチでおこなう信頼性の高い半導体試験装置を提供することにある。

【0012】

【課題を解決するための手段】即ち、上記目的を達成するためになされた本発明の第1は、ビンエレクトロニクスにおける信号切り換えを半導体スイッチでおこなう半導体試験装置を要旨としている。

【0013】また、上記目的を達成するためになされた本発明の第2は、ドライバと被試験デバイス間をON/OFFする第1の半導体スイッチと、DCテストユニットと被試験デバイス間をON/OFFする第2と第3の

半導体スイッチと、DCテストユニットからの低周波ノイズを接地して防止する第4と第5の半導体スイッチと、前記第2と第3の半導体スイッチの容量負荷の影響を防止するコイルと、を具備したことを特徴とした半導体試験装置を要旨としている。

【0014】そして、上記目的を達成するためになされた本発明の第3は、DCテストユニットの容量負荷の影響を防止するコイルは、立ち上がりを改善する第1と第2のコイルと、波形歪みを改善する第3と第4のコイルである本発明の第2記載の半導体試験装置を要旨としている。

【0015】さらに、上記目的を達成するためになされた本発明の第4は、DCテストユニットが複数のチャンネルに接続される場合に、試験しないチャンネルの被試験デバイス間をON/OFFする第6と第7の半導体スイッチを設けた本発明の第2又は第3記載の半導体試験装置を要旨としている。

【0016】

【発明の実施の形態】本発明の実施の形態は、下記の実施例において説明する。

【0017】

【実施例】本発明の実施例について、図1～図5を参照して説明する。本発明の構成は、図1に示すように、ピンエレクトロニクスの1チャンネルの要部回路は、ドライバ10と、コンパレータ20と、プログラブルロード30の従来構成に、従来のスイッチSW8とSW9とを、半導体スイッチSW1～SW7と、コイルL1～L4とに変更した構成になっている。

【0018】そして、ピンエレクトロニクスとDCテストユニット50により、被試験デバイスのDUT40を試験している。ここで、半導体スイッチSW1～SW7は、ONしたときの抵抗(ON抵抗)をそれぞれR1～R7とし、OFFしたときの容量(OFF容量)をそれぞれC1～C7とする。

【0019】一般に、半導体スイッチがONしたときの抵抗Rと、OFFしたときの容量Cとは、ともに小さいことが望ましいが、それぞれ相反する関係にある。例えば、半導体スイッチとして光モススイッチの種類がRC=40($\Omega \cdot pF$)の場合、OFF容量Cを2pFと小さくすれば、ON抵抗Rは20 Ω と大きくなる。

【0020】次に、各構成要素について説明する。半導体スイッチSW1は、ドライバ10と被試験デバイスのDUT40間をON/OFFするスイッチで、ONしたときの抵抗R1はできるだけ小さい、例えば1 Ω 程度の半導体スイッチを使用する。

【0021】半導体スイッチSW2は、DCテストユニット50のフォース側(F)をON/OFFするスイッチで、OFFしたときの容量C2ができるだけ小さい、例えば2～4pFの半導体スイッチを使用する。

【0022】半導体スイッチSW3は、DCテストユニ

ット50のセンス側(S)をON/OFFするスイッチで、SW2と同様にOFFしたときの容量C3ができるだけ小さい2～4pFの半導体スイッチを使用する。

【0023】これらのOFF容量C2、C3とは、ドライバ10とDUT40間の高周波信号の波形に影響をあたえる。

【0024】半導体スイッチSW4とSW5とは、半導体スイッチSW1をONしてドライバ10と被試験デバイスのDUT40間でファンクションテストをしている場合に、半導体スイッチSW2、SW3、SW6、SW7がOFFしている容量C2、C3、C6、C7により、他のチャンネルへ干渉するのをON抵抗により接地して防止する半導体スイッチである。また、半導体スイッチSW4とSW5とは、DCテストユニット50からの低周波ノイズの影響をON抵抗により接地して防止するためにある。そのため、半導体スイッチSW4とSW5とは、ONしたときの抵抗R4、R5がそれぞれ10 Ω 程度の半導体スイッチを使用する。

【0025】なお、半導体スイッチSW6とSW7とは、DCテストユニット50が他のチャンネルに接続される場合に必要であり、チャンネル毎に独立してDCテストユニット50が設けられる場合は必要ではない。

【0026】コイルのL1、L2、L3及びL4は、ファンクションテストにおいて、ドライバ10側の容量が高周波信号波形に影響しないようにしている。

【0027】例えば、図4の(a)に示すように、ドライバ10側における容量Cdとし、被試験デバイス側を終端抵抗Rzで終端し、その間の伝送遅延時間をTとする。ドライバ10の出力波形を図4の(b)に示す波形とすると、実際に観測される図4の(c)に示す信号波形は、容量Cdの影響により立ち上がり時間Trが遅くなり、また伝送遅延時間Tと戻りの時間Tとの合計時間2Tのあとに、反射波による波形歪みVsが生じる。

【0028】一般に、容量の影響を避けるために、コンデンサと直列にコイルを挿入するが、立ち上がりTrと波形歪みVsとはトレードオフの関係にある。つまり、高い周波数でインピーダンスのピークを有するコイルを使用すると、立ち上がりTrを早くすることが可能だが、波形歪みVsが大きくなるし、反対に低い周波数においてインピーダンスがピークになるコイルを使用して、波形歪みVsを小さくすると立ち上がりTrが遅くなる。ようするに、波形の立ち上がり部と、反射による波形歪みは、周波数特性が異なっている。

【0029】そこで、図5に示すように、立ち上がり特性を改善するコイルL1、L2として、高い周波数でインピーダンスのピークを有する浮遊容量の小さいコイルを使用し、波形歪み特性を改善するコイルL3、L4として、低い周波数においてインピーダンスのピークを有するコイルを直列接続している。

【0030】例えば、立ち上がり特性を改善するコイル

10

20

30

40

50

L1、L2として、100MHzにおいて1kΩのインピーダンスのチップコイルを使用し、波形歪み特性を改善するコイルL3、L4として、3MHzにおいて500kΩのインピーダンスのチップコイルを使用している。この結果、広い周波数帯域において、立ち上がり特性と波形歪み特性が、従来のメカニカルリレーを使用した場合と同様の特性とすることができた。

【0031】次に、DCテストユニット50によりDCテストをする場合のピンエレクトロニクスの動作について図1と図2を参照して説明する。図1において、半導体スイッチSW1、SW4及びSW5はOFF、半導体スイッチSW2、SW3、SW6及びSW7はONとすると、図2に示す等価回路となる。

【0032】半導体スイッチSW1は、ON抵抗が低抵抗の半導体スイッチを使用するために、OFF容量が例えば40～100pFと大きくなる。そのため、DCテストユニット50からの印加電圧が、ドライバ10やコンパレータ20に容量結合して影響を与えないように、またドライバ10から試験パターンを発生しないようにする必要がある。

【0033】そこで、半導体スイッチSW1がOFFしているときは、ドライバ10は、VTコントロール信号によりレベルをVTに固定して、ドライバ抵抗Rdでターミネートする。

【0034】さらに、ファンクションテストにおけるピンエレクトロニクスの動作について図1と図3を参照して説明する。図1において、半導体スイッチSW1、SW4及びSW5はON、半導体スイッチSW2、SW3、SW6及びSW7はOFFとすると、図3に示す等価回路となる。ここで、ドライバ10のドライバ抵抗Rdは、半導体スイッチSW1のON抵抗R1があるので、Rd+R1がドライバ側のインピーダンスとなる。従って、インピーダンス50Ωでドライブする場合は、半導体スイッチSW1のON抵抗R1が1Ωのとき、ドライバ抵抗Rdは49Ωとする。

【0035】以上により、ピンエレクトロニクスにおいて、従来のメカニカルリレーを使用したときと同様にDCテストとファンクションテストが実施できる。

【0036】ところで、ピンエレクトロニクスの回路図は、説明を簡明とするために1チャンネルの例で説明し

たが、被試験デバイスのピン数に対応する数百チャンネルのピンエレクトロニクスをテストヘッドに内蔵している。また、半導体試験装置の試験として、DCテストとファンクションテストの例について説明したが、その他の試験においても当然ながら同様に実施できる。

【0037】

【発明の効果】本発明は、以上説明したような形態で実施され、以下に記載されるような効果を奏する。即ち、ピンエレクトロニクスにおける信号切り換えを半導体スイッチでおこなったので、接点障害が無くなり、寿命が長く、信頼性が高くなる効果がある。また、チャンネル数が多くなっても、半導体スイッチは集積化することにより省スペースを実現できる効果もある。

【図面の簡単な説明】

【図1】本発明の半導体試験装置のピンエレクトロニクスの回路図である。

【図2】本発明のDCテストのときのピンエレクトロニクスの等価回路図である。

【図3】本発明のファンクションテストのときのピンエレクトロニクスの等価回路図である。

【図4】ドライバ側に容量がある場合の説明図である。

【図5】コイルのインピーダンスの周波数特性図である。

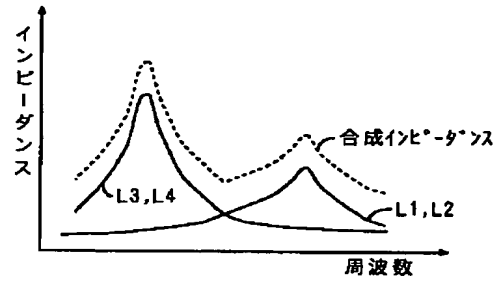
【図6】従来の半導体試験装置のピンエレクトロニクスの回路図である。

【図7】半導体試験装置の外観図である。

【符号の説明】

- 1 ワークステーション
- 2 半導体試験装置本体
- 3 テストヘッド
- 10 ドライバ
- 20 コンパレータ
- 30 プログラマブルロード
- 40 DUT
- 50 DCテストユニット
- L1～L4 コイル
- Rd ドライバ抵抗
- SW1～SW7 半導体スイッチ
- SW8、SW9 スイッチ
- Rz 終端抵抗

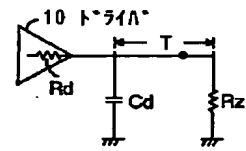
【圖5】



【図4】

【図7】

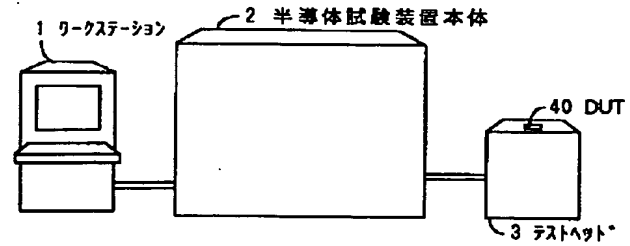
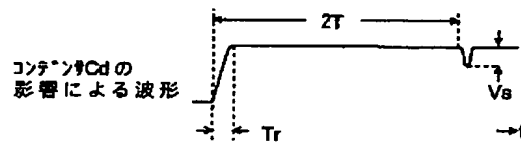
(a)



(b)



(c)



【図6】

